

MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

Patent Number: JP7231036
Publication date: 1995-08-29
Inventor(s): NAGANO TAKASHI
Applicant(s): SONY CORP
Requested Patent: ☐ JP7231036
Application Number: JP19940020729 19940218
Priority Number(s):
IPC Classification: H01L21/762; H01L21/304; H01L27/12
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a semiconductor substrate having an SOI layer of a good and uniform film thickness in its surface part, by filling insulators into the recessed parts formed in the surface part of a single crystal semiconductor substrate, and by pasting on the surface thereof a supporting substrate whose surface is covered with an insulation film, and further, by polishing the rear surface part of the single crystal semiconductor substrate until the polishing reaches the fillers.

CONSTITUTION: On a silicon substrate 11 of a single crystal semiconductor substrate, trenches 11A of recessed parts are formed respectively. Then, on the surface of the silicon substrate 11, an SiO₂ film 12 of an insulator is deposited, and it is buried in the trenches 11A. Thereafter, the SiO₂ film 12 present on the surface of the silicon substrate 11 is removed therefrom by an etchback, and thereby, the SiO₂ films 12 of fillers are left only in the trenches 11A. Subsequently, on the surface of a first supporting substrate 13 of another silicon substrate, a silicon oxide film 14 is formed, and the substrate 13 is pasted on the surface of the silicon substrate 11. Then, the silicon substrate 11 is polished from its surface side, and its polishing is stopped at the time when the SiO₂ films 12 of stoppers are exposed to the outside. Thereby, the film thickness of an SOI layer can be made uniform in the surface part of the substrate.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

AM

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-231036

(43) 公開日 平成7年(1995) 8月29日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 21/762				
21/304	3 2 1 S			
	M			
27/12	B			
H 0 1 L 21/ 76 D				
審査請求 未請求 請求項の数 5 O L (全 7 頁)				

(21) 出願番号 特願平8-20729

(22) 出願日 平成6年(1994) 2月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 永野 隆史

東京都品川区北品川 6 丁目 7 番 35 号

ソニー株式会社内

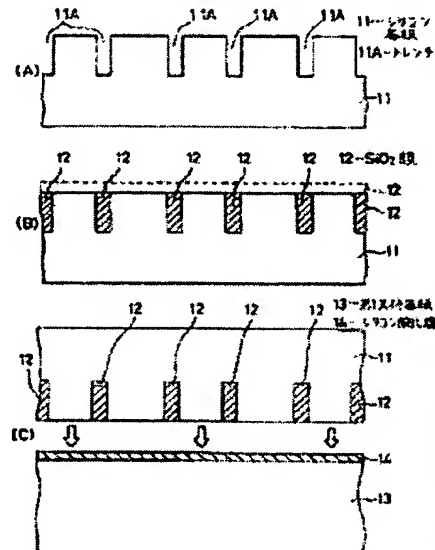
(74) 代理人 弁理士 志賀 富士弥 (外 1 名)

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【目的】 SOI 層の膜厚の面内均一の良好な半導体基板の製造方法を提供する。

【構成】 シリコン基板 11 に所定深さのトレンチ 11A を形成し、SiO₂ 膜 12 で埋め込んだ後、シリコン酸化膜 14 を表面に持つ第 1 支持基板 13 と貼り合わせ、シリコン基板 11 を表面から SiO₂ 膜 12 に達するまで研磨し、ポリシリコン膜を介して第 2 支持基板と貼りつけて第 1 支持基板側から研磨してシリコン酸化膜 14 を露出させて、これを基準として研磨を進めれば、均一な SOI 層が得られる。



【特許請求の範囲】

【請求項 1】 単結晶半導体基板の表面に凹部を形成し、該凹部に絶縁物でなる充填物を埋め込んだ後、表面を絶縁膜で覆った支持基板を該単結晶半導体基板の表面に貼り合わせ、当該単結晶半導体基板の表面を前記充填物に達するまで研磨して単結晶島領域を形成することを特徴とする半導体基板の製造方法。

【請求項 2】 単結晶半導体基板の表面に凹部を形成し、該凹部に絶縁物でなる充填物を埋め込む工程と、表面を絶縁膜で覆った第 1 支持基板を該単結晶半導体基板の表面に貼り合わせる工程と、前記単結晶半導体基板の表面を前記充填物に達するまで研磨する工程と、

前記単結晶半導体基板の研磨面にデバイス形成領域を画成するための段差を形成し、該研磨面及び段差面に沿って表面に研磨ストップとしての酸化膜を形成する工程と、

前記段差及び前記研磨面上に材料膜を付着させ、該材料膜表面を平坦化する工程と、

前記材料膜表面に第 2 支持基板を貼り合わせる工程と、前記第 1 支持基板側を前記絶縁膜に達するまで研磨する工程と、

前記絶縁膜及び前記充填物をエッチングして除去する工程と、

前記エッチングにより露出した単結晶半導体基板を前記酸化膜に達するまで研磨して単結晶島領域を形成する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項 3】 前記充填物及び前記絶縁膜は酸化シリコンでなる請求項 2 記載の半導体基板の製造方法。

【請求項 4】 前記材料膜は不純物をドーブした酸化シリコンでなる請求項 2 記載の半導体基板の製造方法。

【請求項 5】 前記単結晶半導体基板の表面を前記充填物に達するまで研磨する工程の後に、該充填物の一部を表面よりエッチング除去しこの除去した部分に前記充填物とエッチング選択比をとる材料でなるエッチングストップ層を埋め込む工程を備え、前記酸化膜を形成した後に、前記充填物と該酸化膜との間にストップ層が介在するようにした請求項 2 記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体基板の製造方法に関し、特に SOI (Silicon On Insulator) 構造の半導体製造分野で利用できる。

【0002】

【従来の技術】 従来、この種の半導体基板の製造方法としては、特開平 1-302837 号公報記載の技術が知られている。この従来技術は、半導体基板の表面に凹凸部を形成し、次いで、この基板表面に絶縁膜を形成した後、この絶縁膜上に表面が平坦な半導体層を形成し、さ

らに半導体層表面を貼り付け面として他の基板を貼り付け、半導体基板を表面から絶縁膜が露出するまで研磨して SOI 基板を製造するというものである。

【0003】

【発明が解決しようとする課題】 しかしながら、このような従来技術にあつては、研磨の負担を少なくするためにストップとしての絶縁膜の近くまで研磨により半導体基板を削っているが、表面基準で行っているため精度良く研磨できたとしても、図 7 に示すように半導体基板 1 の研磨で取り除かなければならない膜厚はウェハ面内で大きくばらつく ($d1 < d2$) という問題があった。このように研磨取代がばらつく、図 8 に示すように、絶縁膜 3 が露出するタイミングが異なり、早く露出した絶縁膜 3 近くの SOI 層 3A の膜厚が研磨底すりによって薄くなるという問題がある。この研磨底すりは、図 9 に示すように、絶縁膜 3 が露出した状態で研磨を続けると SOI 層 3A の部分が絶縁膜 3 より研磨され易いため、研磨クロス 4 が変形し絶縁膜基準面よりも研磨面が低くなることをいう。

【0004】 この発明が解決しようとする課題は、薄膜 SOI 形成のための研磨において、その除去量がウェハ面内で均一となり、研磨ストップの露出のタイミングがウェハ面内で略同じとなる半導体基板の製造方法を得るには、どのような手段を講じればよいかという点にある。

【0005】

【課題を解決するための手段】 そこで、この発明は、単結晶半導体基板の表面に凹部を形成し、該凹部に絶縁物でなる充填物を埋め込んだ後、表面を絶縁膜で覆った支持基板を該単結晶半導体基板の表面に貼り合わせ、当該単結晶半導体基板の表面を前記充填物に達するまで研磨して単結晶島領域を形成することを、その解決手段としている。

【0006】 また、具体的には、単結晶半導体基板の表面に凹部を形成し、該凹部に絶縁物でなる充填物を埋め込む工程と、表面を絶縁膜で覆った第 1 支持基板を該単結晶半導体基板の表面に貼り合わせる工程と、前記単結晶半導体基板の表面を前記充填物に達するまで研磨する工程と、前記単結晶半導体基板の研磨面にデバイス形成領域を画成するための段差を形成し、該研磨面及び段差面に沿って表面に研磨ストップとしての酸化膜を形成する工程と、前記段差及び前記研磨面上に材料膜を付着させ、該材料膜表面を平坦化する工程と、前記材料膜表面に第 2 支持基板を貼り合わせる工程と、前記第 1 支持基板側を前記絶縁膜に達するまで研磨する工程と、前記絶縁膜及び前記充填物をエッチングして除去する工程と、前記エッチングにより露出した単結晶半導体基板を前記酸化膜に達するまで研磨して単結晶島領域を形成する工程とを備える構成としている。ここで、材料膜とは、B PSG、PSG 等の不純物ドーブの酸化シリコンを用い

る。

【0007】また、前記単結晶半導体基板の表面を前記充填物に達するまで研磨する工程の後に、該充填物の一部を表面よりエッチング除去しこの除去した部分に前記充填物とエッチング選択比をとれる材料でなるエッチングストップ層を埋め込む工程を備え、前記酸化膜を形成した際に、前記充填物と該酸化膜を形成した際に、前記充填物と該酸化膜との間にストップ層が介在するようにしたことを構成としている。

【0008】

【作用】この発明においては、単結晶半導体基板表面の凹部に埋め込んだ充填物が単結晶半導体基板の表面側からの研磨のストップとなる。また、(第1)支持基板の表面に形成した絶縁膜は、第1支持基板の研磨のストップとして作用する。

【0009】そして、単結晶半導体基板を表面から充填物が露出するまで研磨した状態で、充填物の一部を除去して、この充填物(例えばSiO₂)とエッチング選択比をとれる材料(例えばポリシリコン等)でなるエッチングストップ層を埋め込むことにより、絶縁膜及び充填物をエッチングする際にストップ層を残すことができる。単結晶半導体基板の充填物の一部を除去してエッチングストップ層を埋め込み、さらに単結晶半導体基板のストップ層を埋め込んだ面にデバイス形成領域(SOI領域)を画成するための段差を形成し、この段差面及び研磨面に沿って表面酸化膜を形成すると、この表面酸化膜と充填物との間にエッチングストップ層を介在させることができる。上記したように、絶縁膜及び充填物をエッチングしてエッチングストップ層を残した状態では、最初に形成した凹部の深さ分だけの単結晶半導体基板が残っている。この深さ寸法は、エッチングによって均一に短く制御できるため、ウェハ面内均一性は良好となる。この状態では研磨量は少なくよく、表面酸化膜をウェハ面内で略同時に露出させることができる。このため、SOI層(単結晶半導体)の膜厚は必要以上に研磨されて膜減り(底すり)することなく、ウェハ面内で均一にすることが可能となる。

【0010】

【実施例】以下、この発明に係る半導体基板の製造方法の詳細を図面に示す実施例に基づいて説明する。

【0011】本実施例では、先ず図1(A)に示すように、単結晶半導体基板としてのシリコン基板11の表面に、フォトリソグラフィ技術及び異方性エッチング技術を用いて凹部としてのトレンチ11Aを形成する。次いで、図1(B)に示すように、シリコン基板11表面に絶縁物としてのSiO₂膜12を例えばCVD法によって堆積させ、トレンチ11Aを埋め込む。その後、シリコン基板11面上のSiO₂膜12をエッチバックして除去し、トレンチ11A内のみには充填物としてのSiO₂膜12を残す。

【0012】次に、図1(C)に示すように、他のシリコン基板でなる第1支持基板13の表面にシリコン酸化膜14を形成し、シリコン基板11の表面に貼り合わせて図2(A)に示すような構造とする。その後、シリコン基板11の表面側から研磨を行い、図2(B)に示すように、ストップとしてのSiO₂膜12が露出した時点で研磨を停止させる。このとき、シリコン基板11はSiO₂膜12に囲まれた構造となっている。

【0013】次に、シリコン基板11の研磨面側をウェットエッチング(例えばフッ酸(HF)溶液を用いる)を行って、図2(C)に示すように、SiO₂膜12を約半分の膜厚となるように除去する。

【0014】その後、図3(A)に示すように、シリコン基板11の研磨面側に、ポリシリコン膜15をCVD法により堆積させて前工程でSiO₂膜12を一部除去した部分を埋め込む。次いで、ポリシリコン膜15を研磨し、図3(B)に示すように、シリコン基板11の研磨面を露出させる。このとき、トレンチ内には、エッチングストップ層としてのポリシリコン膜15が埋め込まれた状態となる。

【0015】さらに、シリコン基板11の研磨面側に、リソグラフィ技術及びドライエッチング技術を用いて、図3(C)に示すように、デバイス形成領域(SOI層形成領域)を画成するための段差(凹部)16A、16Bを形成する。なお、段差16Aはシリコン基板11研磨面に形成した凹部であり、段差16Bはポリシリコン膜15の膜厚を減らして形成した凹部である。このような段差の形成には、例えばエッチングガスにHBrを用いたドライエッチングを行う。

【0016】次に、同図(C)に示すように、このような段差16A、16Bを形成した後、表面酸化を行って表面に沿ったシリコン酸化膜17を形成する。

【0017】次に、図4(A)に示すように、シリコン酸化膜17上にポリシリコン膜18をCVD法によって堆積させ段差を埋め込み、その後、ポリシリコン膜18の表面を研磨して平坦にする。そして、図4(B)に示すように、なお、本実施例では、ポリシリコンを用いたがBPSG、PSGなどの不純物ドーパント酸化シリコンでもよい。このポリシリコン膜18の研磨面に、他のシリコン基板である第2支持基板19を貼り合わせる。その後、第1支持基板13を表面から研磨し、ストップとしてのシリコン酸化膜14が露出したときに研磨を止め、図5(A)に示すような構造にする。ここで、シリコン酸化膜14はストップとしての機能が十分であるため、全面が露出するまで研磨を続けることが可能である。

【0018】次に、シリコン酸化膜14及びSiO₂膜12を除去し、ポリシリコン膜15を除去しないようなエッチング選択比をとれるウェットエッチング(例えばフッ酸溶液を用いる)を行って、図5(B)に示すようにポリシリコン膜15でエッチングを止める。このた

め、ポリシリコン膜15の下のシリコン酸化膜17が消失されることが防止でき、次工程でのシリコン基板11の研磨でのストップとしてシリコン酸化膜17を用いることができる。図5(C)は、シリコン基板11をシリコン酸化膜17が露出するまで研磨を行って単結晶シリコンでなるSOI層11Bを形成した状態を示している。なお、本実施例によれば、図5(B)の状態ですでにシリコン基板11はかなり薄く且つ均一になっているため、シリコン酸化膜17の露出は、略同時に起り、均一な膜厚のSOI層11Bが形成できる。

【0019】以上、実施例について説明したが、この発明は、これに限定されるものではなく、構成の要旨に付随する各種の設計変更、材料変更が可能である。

【0020】例えば、上記実施例においては、図1(C)に示したように、第1支持基板13にシリコン酸化膜14を形成したが、図6に示すように、シリコン基板11側に形成しても勿論よい。

【0021】
【発明の効果】以上の説明から明らかなように、この発明によればSOI層の膜層を基板（ウェハ）面内で均一にする効果がある。また、貼り合わせによってSOIを形成するための結晶欠陥の少ない半導体基板を形成することが可能になる。

【図面の簡単な説明】

【図1】(A)～(C)はこの発明の実施例を示す工程断面図。

断面図。

【図2】(A)～(C)はこの発明の実施例を示す工程断面図。

【図3】(A)～(C)はこの発明の実施例を示す工程断面図。

【図4】(A)及び(B)はこの発明の実施例を示す工程断面図。

【図5】(A)～(C)はこの発明の実施例を示す工程断面図。

【図6】この発明の他の実施例を示す要部断面図。

【図7】従来例の要部断面図。

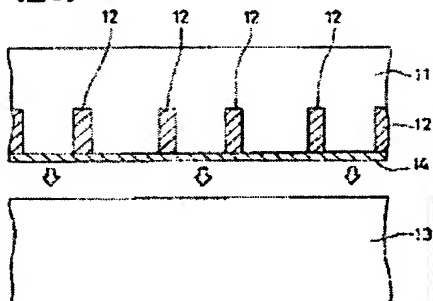
【図8】従来例の要部断面図。

【図9】従来例の要部断面図。

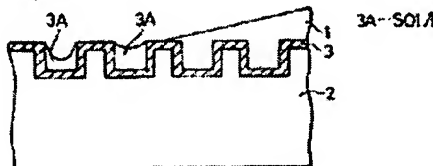
【符号の説明】

- 11…シリコン基板（単結晶半導体基板）
- 11A…トレンチ（凹部）
- 11B…SOI層
- 12…SiO₂膜（充填物）
- 13…第1支持基板
- 14…シリコン酸化膜（絶縁膜）
- 15…ポリシリコン膜（エッチングストップ層）
- 16A, 16B…酸蝕
- 17…シリコン酸化膜
- 18…ポリシリコン膜（材料膜）
- 19…第2支持基板

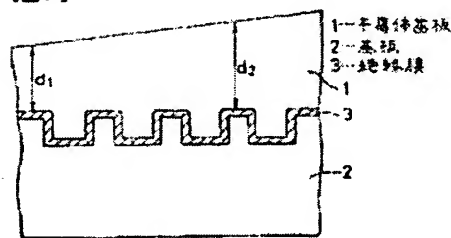
【図6】



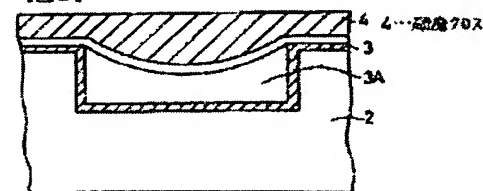
【図8】

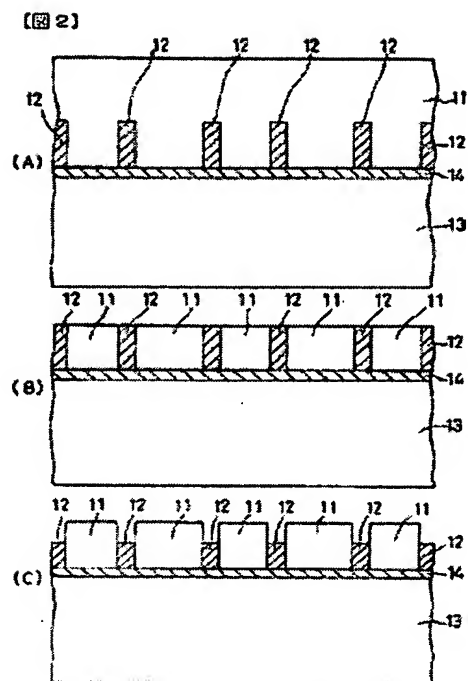
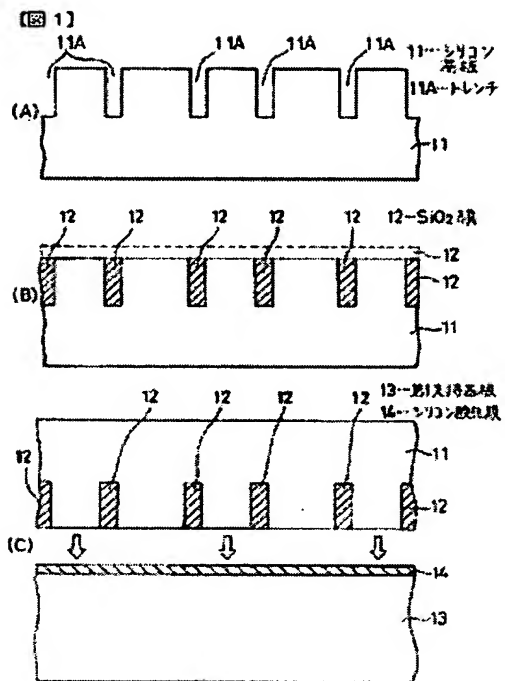


【図7】

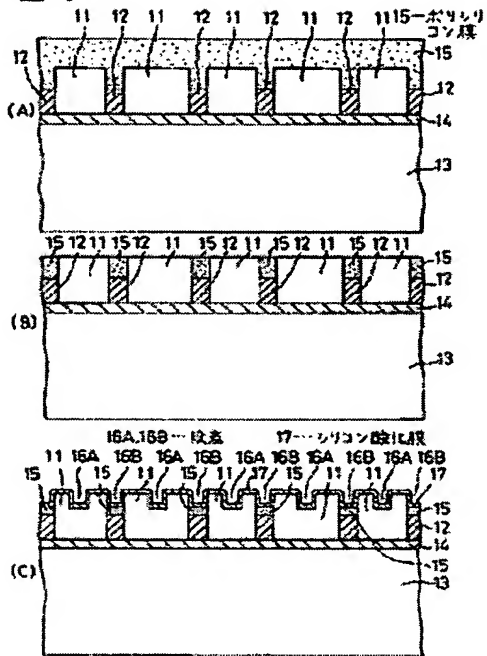


【図9】

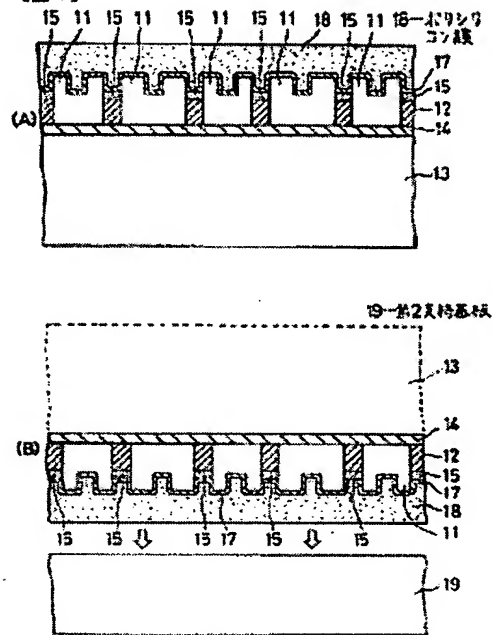




【図3】



【図4】



(B)

This diagram shows a cross-sectional view of a semiconductor device. It features a series of rectangular blocks (15) on a substrate (19). The blocks are separated by narrow gaps (17). A layer (18) is deposited over the blocks and gaps. The top surface of the blocks is labeled 11, and the top surface of the gaps is labeled 17. The substrate is labeled 19.

Diagram (C) shows a cross-sectional view of a semiconductor device. It features a substrate 15 with a layer 18 on top. A periodic structure is formed on layer 18, consisting of a series of rectangular blocks 11B separated by gaps 17. The top surface of the blocks is labeled 11B-SO1/R.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.